

PAT-NO: JP409307901A
DOCUMENT-IDENTIFIER: JP 09307901 A
TITLE: VIDEO SIGNAL PROCESSING UNIT
PUBN-DATE: November 28, 1997

INVENTOR-INFORMATION:
NAME

YAMADADERA, SHINJI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOSHIBA CORP

N/A

APPL-NO: JP08117368

APPL-DATE: May 13, 1996

INT-CL (IPC): H04N007/30, H03M007/30

ABSTRACT:

PROBLEM TO BE SOLVED: To attain high speed processing for the entire compression processing by conducting quantization arithmetic operation at a high speed.

SOLUTION: A coefficient extraction and comparison means 103 compares the absolute value of a DCT coefficient from a frequency conversion means 101 with the absolute value of a 2nd coefficient being one half of the 1st coefficient of an original quantization matrix table from a 1st storage means 102. When the DCT coefficient is smaller than the 2nd coefficient, the DCT coefficient is sent to a 1st arithmetic means 106 by a switch 105, and 0 is substituted in place of the DCT coefficient. When the DCT coefficient is larger than the 2nd coefficient, the DCT coefficient is fed to the 2nd arithmetic means 107 by the switch 105, the coefficient is divided by a 1st coefficient from a 2nd storage means 108 and rounded off. Outputs of the 1st and 2nd arithmetic means 106, 107 are fed sequentially to a quantization coefficient generating means 109, from which a block after quantization is obtained.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-307901

(43) 公開日 平成9年(1997)11月28日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 7/30			H 0 4 N 7/133	Z
H 0 3 M 7/30		9382-5K	H 0 3 M 7/30	A

審査請求 未請求 請求項の数3 OL (全6頁)

(21) 出願番号 特願平8-117368

(22) 出願日 平成8年(1996)5月13日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 山田寺 真司

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝マルチメディア技術研究所内

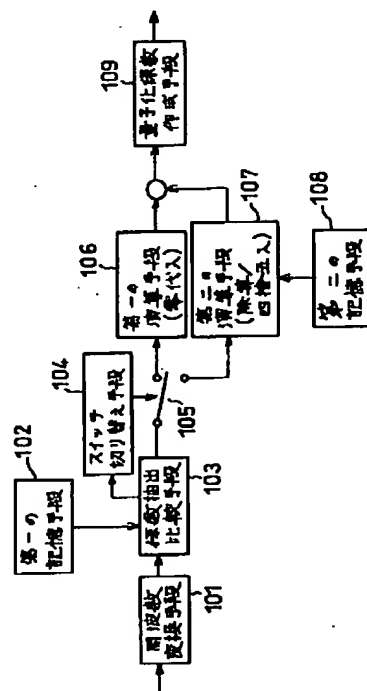
(74) 代理人 弁理士 大胡 典夫

(54) 【発明の名称】 映像信号処理装置

(57) 【要約】

【課題】 高速に量子化演算することにより圧縮処理全体の高速化を図る。

【解決手段】 係数抽出比較手段103は、周波数変換手段101からのDCT係数の絶対値と第一の記憶手段102からの本来の量子化マトリックス・テーブルの第一の係数の0.5倍の第二の係数の絶対値を比較する。DCT係数が第二の係数より小さい時スイッチ105によりDCT係数が第一の演算手段106に送られ、DCT係数の代わりに0が代入される。DCT係数が第二の係数より大きい時スイッチ105によりDCT係数が第二の演算手段107に供給され、第二の記憶手段108からの第一の係数で除算されたのち四捨五入される。第一と第二の演算手段106、107の出力は、順次量子化係数作成手段109に送られ、量子化後のブロックが得られる。



【特許請求の範囲】

【請求項1】 ブロック化した映像を周波数変換する周波数変換手段と、

量子化のための各第一の係数 (m_i) を第一の量子化マトリックス・テーブルとして記憶する第一の量子化テーブル記憶手段と、

前記第一の係数 (m_i) を実数倍した各第二の係数 (M_i) を第二の量子化マトリックス・テーブルとして記憶する第二の量子化テーブル記憶手段と、

前記周波数変換手段から出力されたブロックデータ (D_i) と前記第二の量子化テーブル記憶手段から前記ブロックデータ (D_i) に対応した前記第二の係数 (M_i) を抽出し両者の絶対値を比較し、前記ブロックデータ (D_i) を出力する係数抽出比較手段と、

前記係数抽出比較手段からの前記ブロックデータ (D_i) の代わりに零を代入して出力する第一の演算手段と、

前記係数抽出比較手段からの前記ブロックデータ (D_i) を前記第一の量子化テーブル記憶手段からの前記ブロックデータ (D_i) に対応した前記第一の係数 (m_i) で除算し四捨五入した値を出力する第二の演算手段と、

前記係数抽出比較手段の比較の結果、前記ブロックデータ (D_i) の絶対値が対応する前記第二の係数 (M_i) の絶対値未満のとき ($|D_i| < |M_i|$)、前記係数抽出比較手段と前記第一の演算手段を接続し、前記ブロックデータ (D_i) の絶対値が対応する前記第二の係数 (M_i) の絶対値以上のとき ($|D_i| \geq |M_i|$)、前記係数抽出比較手段と前記第二の演算手段を接続するスイッチ手段と、

前記スイッチ手段により接続された前記第一の演算手段又は前記第二の演算手段の出力で得られた量子化後の係数をブロックとして並び替える量子化係数作成手段と、を具備したことを特徴とする映像信号処理装置。

【請求項2】 前記係数抽出比較手段は、前記周波数変換手段の出力ブロックの高周波データ側から低周波データ側に向かって順次スキャンしていき、前記各データ (D_i) の絶対値と前記各第二の係数 (M_i) の絶対値の比較処理を行う事の特徴とする請求項1に記載の映像信号処理装置。

【請求項3】 前記係数抽出比較手段は、非零を出力するデータが所定数こえた後は前記比較処理を行わず、前記スイッチ手段は、前記係数抽出比較手段からの前記ブロックデータを前記第二の演算手段に供給させる事の特徴とする請求項1又は2に記載の映像信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、圧縮処理技術を利用した映像信号処理装置に関する。

【0002】

【従来の技術】 図4は、従来の映像圧縮処理装置（例えば、JPEGやMPEGを利用した圧縮装置など）の一部を示すブロック図である。図4において映像が入力されると、入力画像は8×8画素のブロックに分割され、DCT (Discrete Cosine Transform、離散コサイン変換) などを行う周波数変換手段201に入力される。周波数変換手段201において、画素は周波数成分別に並び換えられる。

【0003】 並び換えられたブロック (DCT係数)

10 は、係数抽出手段202において、記憶手段203に記憶されている量子化マトリックス・テーブルという8×8係数テーブルを参照して、対応する画素毎に1画素づつ取り出される。取り出された画素は、除算／四捨五入手段204において、入力画素を対応する量子化マトリックス・テーブルの係数で除算された後、四捨五入される。この操作を入力ブロック内の全ての画素に対して行い、量子化係数作成手段205において量子化後の出力ブロックが形成される。

20 【0004】 出力ブロックは、周波数変換手段201に入力される原画像のブロックに比べてデータ量が小さくなっており圧縮処理が施されたことになる。以上の操作を入力画像全てに対して行う。

【0005】 図5に、上記動作をブロックデータをもとに説明する。図5の左に示されているブロックは、8×8画素のブロックを周波数変換手段201により周波数変換した後のブロックデータ (DCT係数) である。DCT係数は低周波成分から高周波成分に並び換えられている。

30 【0006】 係数抽出手段202では、ブロックの各DCT係数と記憶手段203に記憶されている量子化マトリックス・テーブルという8×8画素の係数テーブルの対応する係数をそれぞれ取り出す。除算／四捨五入手段204では、この抽出されたDCT係数を対応する量子化マトリックス・テーブルの係数で除算後、四捨五入する。これらの操作を8×8画素すべてについて行う。

【0007】 量子化係数作成手段205では各データを8×8画素の量子化後のブロックを作成する。この結果できたブロックが図5の右に示されるブロックである。量子化後のブロックは、一般に低周波成分側に非零の係数が表れ、高周波成分側に零の係数が表れるという特徴がある。

【0008】

50 【発明が解決しようとする課題】 一般にマイクロプロセッサによって除算を行う場合、演算量が他の演算 (加減乗算や比較演算など) に比べて多くかかる傾向にある。例えば、1回の除算命令を実行するには30クロックで処理されるのに対して、除算以外の命令は1クロックで処理可能というようになっている。上記従来例のように画素単位の除算及び四捨五入を全ての入力画素に対して行うと莫大な演算量となり、高速処理をすることが困難

となる、という問題点があった。

【0009】そこで、本発明は上記問題点に鑑みてなされたもので、高速に量子化演算することにより圧縮処理全体の高速化が可能となる映像信号処理装置を提供する事を目的とする。

【0010】

【課題を解決するための手段】ブロック化した映像を周波数変換する周波数変換手段と、量子化のための各第一の係数(m_i)を第一の量子化マトリックス・テーブルとして記憶する第一の量子化テーブル記憶手段と、前記第一の係数(m_i)を実数倍した各第二の係数(M_i)を第二の量子化マトリックス・テーブルとして記憶する第二の量子化テーブル記憶手段と、前記周波数変換手段から出力されたブロックデータ(D_i)と前記第二の量子化テーブル記憶手段から前記ブロックデータ(D_i)に対応した前記第二の係数(M_i)を抽出し両者の絶対値を比較し、前記ブロックデータ(D_i)を出力する係数抽出比較手段と、前記係数抽出比較手段からの前記ブロックデータ(D_i)の代わりに零を代入して出力する第一の演算手段と、前記係数抽出比較手段からの前記ブロックデータ(D_i)を前記第一の量子化テーブル記憶手段からの前記ブロックデータ(D_i)に対応した前記第一の係数(m_i)で除算し四捨五入した値を出力する第二の演算手段と、前記係数抽出比較手段の比較の結果、前記ブロックデータ(D_i)の絶対値が対応する前記第二の係数(M_i)の絶対値未満のとき(|D_i| < |M_i|)、前記係数抽出比較手段と前記第一の演算手段を接続し、前記ブロックデータ(D_i)の絶対値が対応する前記第二の係数(M_i)の絶対値以上のとき(|D_i| ≥ |M_i|)、前記係数抽出比較手段と前記第二の演算手段を接続するスイッチ手段と、前記スイッチ手段により接続された前記第一の演算手段又は前記第二の演算手段の出力で得られた量子化後の係数をブロックとして並び替える量子化係数作成手段と、を具備したことを特徴とする。

【0011】

【発明の実施の形態】図1、は本発明に係る映像信号処理装置の実施の形態を示すブロック図である。図2は、動作を示すフローチャートである。図1及び図2を用いて、本発明の実施の形態を説明する。例えば、1画面分(720×480画素)の原画像を8×8画素のブロックに分割したものが周波数変換手段101に入力される(ST201)と、ブロックに対してDCT(Discrete Cosine Transform、離散コサイン変換)演算処理などの周波数変換が行われる(ST202)。周波数変換処理により、8×8画素のブロックデータは低周波成分から高周波成分へと並び換えられ出力される。

【0012】周波数変換されたブロックデータ(以下、DCT係数と呼ぶ)は係数抽出比較手段103へと送ら

れる(ST203)。係数抽出比較手段103は、更に本来量子化を行う際に利用されていた量子化マトリックス・テーブルの係数を実数倍したものを記憶している第一の記憶手段102からそれぞれ対応する係数を抽出し(ST204)、両者の大小関係を比較する(ST205)。

【0013】一般に量子化を行う場合、その量子化後の出力が0となるのは、DCT係数を量子化マトリックス・テーブルの各対応する係数で除算し、四捨五入した結果、その絶対値が0.5より小さくなる場合である。即ちDCT係数をD_i(ここで、i=1乃至64)とし、対応する本来の量子化マトリックス・テーブルの係数m_i(ここで、i=1乃至64)とすると、

$$|D_i|/|m_i| < 0.5 \cdots \cdots (1)$$

の場合、量子化出力が零になる。

【0014】式(1)を式変形すると、

$$|D_i| < |m_i| \times 0.5 \cdots \cdots (2)$$

の場合、量子化出力が零となる。

【0015】従って、従来の量子化マトリックス・テーブルの各係数を0.5倍したものを新たな量子化マトリックス・テーブルの係数M_i(ここで、i=1乃至64とする)として、第一の記憶手段102に記憶させておく。

【0016】DCT係数成分D_iの絶対値と新たな量子化マトリックス係数M_iの絶対値とを比較することにより、量子化後の出力が零になるのか、非零になるのかを判明する。

【0017】即ち、

$$|D_i| < |M_i| \text{ の時、量子化出力} = 0 \cdots \cdots (3)$$

$$|D_i| \geq |M_i| \text{ の時、量子化出力} \neq 0 \cdots \cdots (4)$$

となる。

【0018】この比較を係数抽出比較手段103で行い、式(3)となる場合は、スイッチ切り替え手段104によりスイッチ105を第一の演算手段106の側にし、式(4)となる場合は、スイッチ105を第二の演算手段107の側にする。

【0019】第一の演算手段106においては、DCT係数D_iに対して、一切の四則演算(加減乗除)を行わずに量子化出力として零を代入し出力する(ST206)。第二の演算手段107においては、第二の記憶手段108に記憶させている本来の量子化マトリックス・テーブルの係数m_iを参照して、DCT係数D_iを量子化マトリックス・テーブルの係数m_iで除算した後、四捨五入を行う事により量子化後の係数を得る(ST207)。

【0020】第一の演算手段106と第二の演算手段107で得られた量子化後の係数を量子化係数作成手段109に順次送り、8×8画素のブロックに並べ替え、量子化後のデータが得られる(ST209)。

【0021】以上の操作をプログラミング言語風に記述すると、

If (|D_i| < |M_i|) then 量子化出力=0、

5

else 量子化出力=通常の量子化演算
となる。係数比較後、先に零の代入命令を実行し、零代入を行わない場合、除算後四捨五入を行うような通常の量子化演算を行った方が演算効率が良い。即ち、量子化後の係数が零となる確立が高い側のDCT係数を抽出し、比較を順次行うというスキャン方法が演算効率が良い。一般的な、量子化後の係数ブロックを図3に示す。

【0022】このブロックより零の係数は、一般にDCT係数ブロックの高周波成分側に出現する可能性が高い。従って、係数抽出比較手段103は、高周波成分側のDCT係数から低周波成分側のDCT係数へと、データを抽出する。

【0023】更に、DCT係数ブロックの高周波側から低周波側へスキャンしていき非零が出るようになった場合、比較を行った後で除算後四捨五入を行うような通常の量子化演算を行うと、比較命令と量子化演算の2つを行うことになり演算効率が下がる。

【0024】比較命令と量子化後のデータが図2に示すようになっていると仮定すると、スキャン方法によっては、

b11→0→b10→b9→b8→b7→b6→b5→
b4→b3→b2→b1

となることがある。即ち、スキャン方法によっては、非零の係数が一度出たあとでも零となる係数が出る場合もありうる。

【0025】従って、演算効率を上げるためには上記操作方法において、非零の出現回数をカウントしていき、出現回数が設定した回数に達するまで係数抽出比較手段103で上記比較演算を行う。そして、設定回数に達した後は通常の量子化演算を行うように係数抽出比較手段103において比較演算を行わず、スイッチ105を第二の演算手段107側に倒すように係数抽出比較手段103からスイッチ切り替え手段104に指示を与えるようにする。

【0026】例えば、設定回数を3回とすると、スキャンしていった量子化後の係数が

b11→0→b10→b9

となるまでは、

If ((|Di| < |Mi|) then 量子化出力=0, else 量子化出力=通常の量子化演算

6

を行う(ST206、ST207)。これ以降のデータ、即ち、

b8→b7→b6→b5→b4→b3→b2→b1

に対して、係数抽出比較手段103は比較を行わず、第二の演算手段107で除算後四捨五入を行うような通常の量子化演算のみを行って演算効率を上げる(ST208乃至ST213)。

【0027】

【発明の効果】JPEGやMPEGなどの映像圧縮信号処理において使用されている量子化処理において、DCT係数と本来使用している量子化マトリクステーブルの係数を実数倍したものとを成分毎に比較することによって、全てのDCT係数に対して、除算、四捨五入等の通常の量子化演算を行わないことで、処理の高速化が図れる。

【0028】これらの処理をDCT係数の高周波数側から低周波数側へと向かってスキャンしていくことで更に高速化が図れる。また、非零の係数が設定した数以上出た場合、残りのDCT係数に対して比較演算を行わずに通常の量子化演算のみを行うことで、量子化演算の効率化を実現できる。

【図面の簡単な説明】

【図1】本発明に係る映像信号処理装置の実施の形態の構成を示すブロック図である。

【図2】本発明に係る映像信号処理装置の実施の形態の動作を説明するためのフローチャートである。

【図3】本発明に係る映像信号処理装置の実施の形態の動作を説明するための図である。

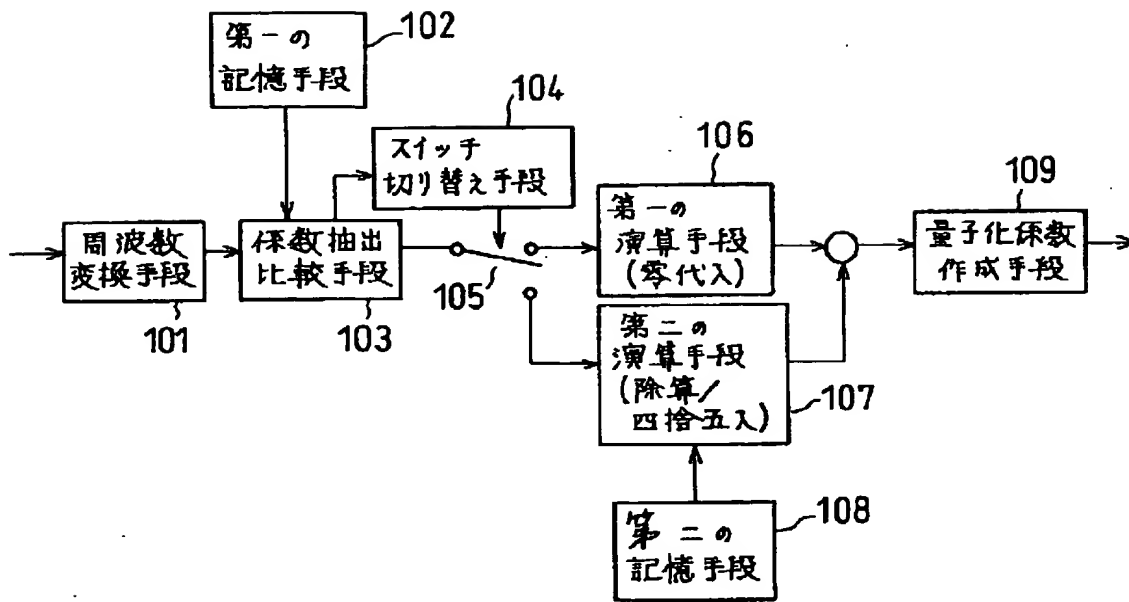
【図4】従来の映像信号処理装置の構成を示すブロック図である。

【図5】従来の映像信号処理装置の動作を示すブロック図である。

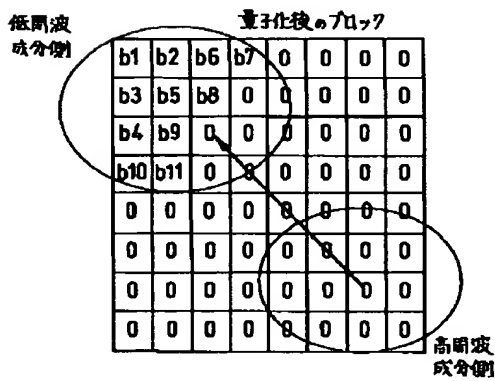
【符号の説明】

101・・・周波数変換手段、102・・・第一の記憶手段、103・・・係数抽出比較手段、104・・・スイッチ切り替え手段、105・・・スイッチ、106・・・第一の演算手段、107・・・第二の演算手段、108・・・第二の記憶手段、109・・・量子化係数作成手段。

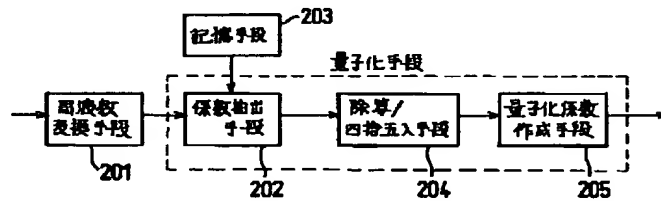
【図1】



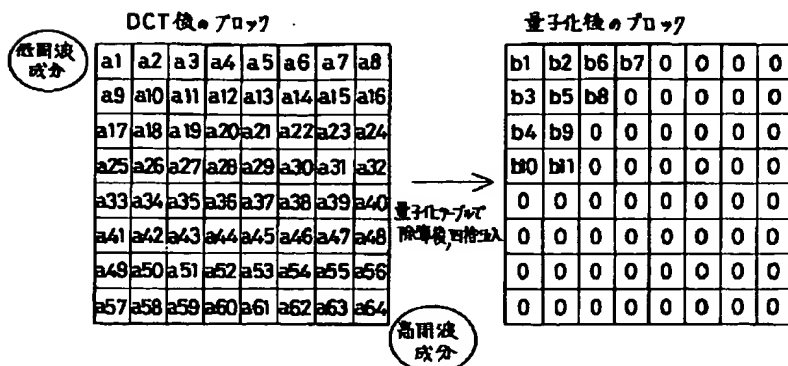
【図3】



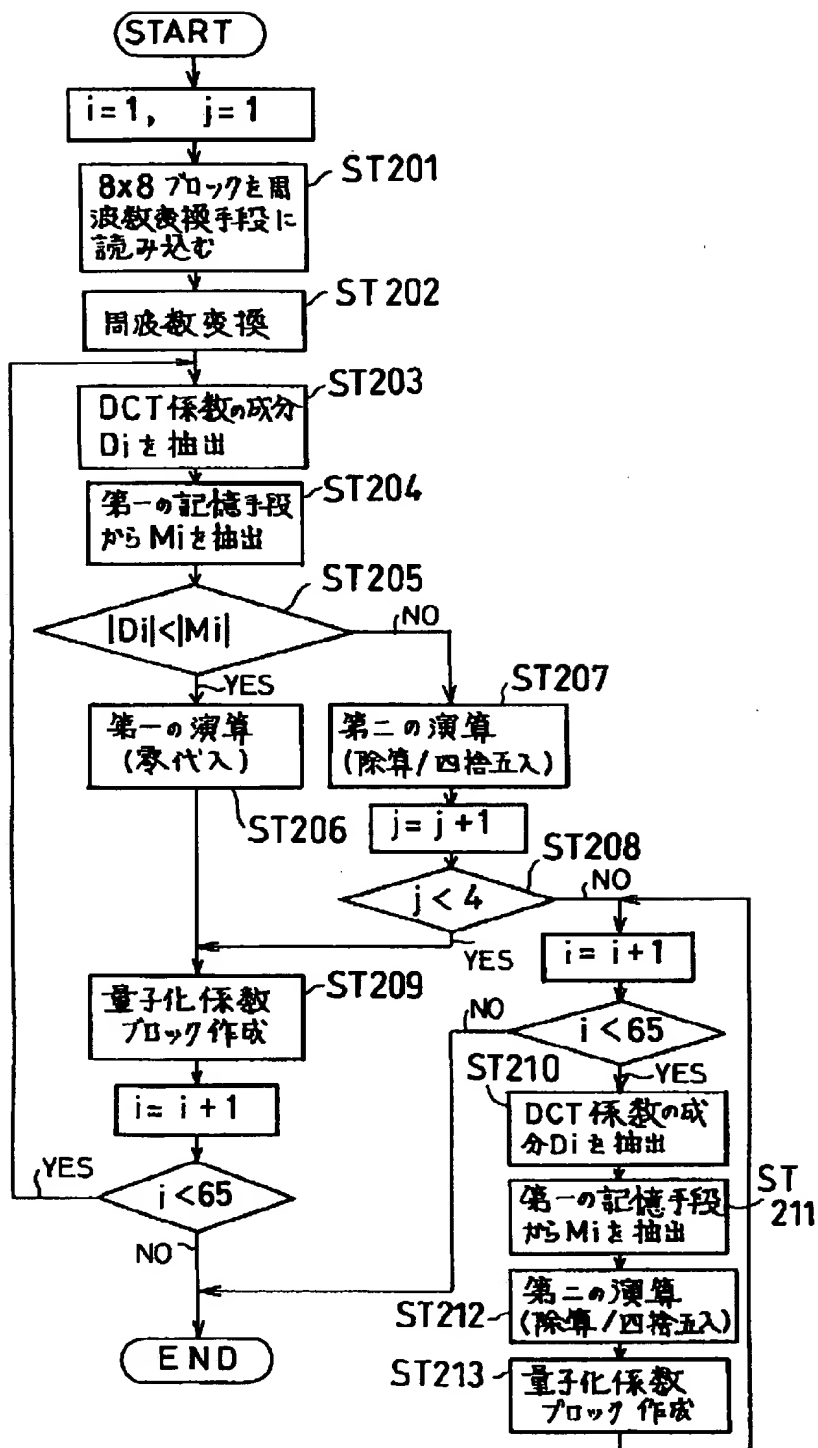
【図4】



【図5】



【図2】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : **09-307901**

(43)Date of publication of application : **28.11.1997**

(51)Int.Cl.

H04N 7/30

H03M 7/30

(21)Application number : **08-117368**

(71)Applicant : **TOSHIBA CORP**

(22)Date of filing : **13.05.1996**

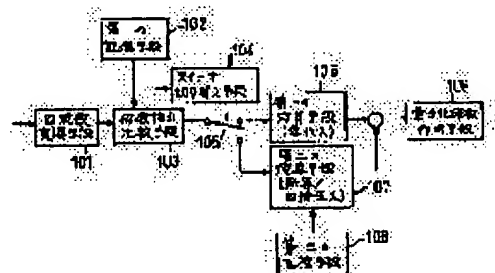
(72)Inventor : **YAMADADERA SHINJI**

(54) VIDEO SIGNAL PROCESSING UNIT

(57)Abstract:

PROBLEM TO BE SOLVED: To attain high speed processing for the entire compression processing by conducting quantization arithmetic operation at a high speed.

SOLUTION: A coefficient extraction and comparison means 101 compares the absolute value of a DCT coefficient from a frequency conversion means 102 with the absolute value of a 2nd coefficient being one half of the 1st coefficient of an original quantization matrix table from a 1st storage means 102. When the DCT coefficient is smaller than the 2nd coefficient, the DCT coefficient is sent to a 1st arithmetic means 106 by a switch 105, and 0 is substituted in place of the DCT coefficient. When the DCT coefficient is larger than the 2nd coefficient, the DCT coefficient is fed to the 2nd arithmetic means 107 by the switch 105, the coefficient is divided by a 1st coefficient from a 2nd storage means 108 and rounded off. Outputs of the 1st and 2nd arithmetic means 106, 107 are fed sequentially to a quantization coefficient generating means 109, from which a block after quantization is obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] the frequency-conversion means which carries out frequency conversion of the blocked image, and every for quantization -- with the first quantization table storage means which memorizes the first multiplier (mi) as first quantization matrix table said first multiplier (mi) -- real number twice -- every carried out -- with the second quantization table storage means which memorizes the second multiplier (Mi) as second quantization matrix table Extract said second multiplier (Mi) corresponding to said block data (Di) from the block data (Di) outputted from said frequency conversion means, and said second quantization table storage means, and both absolute value is compared. A multiplier extract comparison means to output said block data (Di), and the first operation means which substitutes and outputs zero instead of said block data (Di) from said multiplier extract comparison means, The second operation means which outputs the value which did the division of said block data (Di) from said multiplier extract comparison means, and rounded it off by said first multiplier (mi) corresponding to said block data (Di) from said first quantization table storage means, When it is under the absolute value of said second multiplier (Mi) to which the absolute value of said block data (Di) is equivalent as a result of the comparison of said multiplier extract comparison means ($|Di| < |Mi|$), When it is more than the absolute value of said second multiplier (Mi) to which said multiplier extract comparison means and said first operation means are connected to, and the absolute value of said block data (Di) is equivalent ($|Di| \geq |Mi|$), The switching means which connects said multiplier extract comparison means and said second operation means, The video-signal processor characterized by providing the quantization multiplier creation means which rearranges as a block the multiplier after the quantization obtained with the output of the first [said] operation means connected by said switching means, or said second operation means.

[Claim 2] Said multiplier extract comparison means is a video-signal processor according to claim 1 which carries out the sequential scan toward the low frequency data side from the high frequency data side of the output block of said frequency conversion means, and is characterized by performing comparison processing of the absolute value of each of said data (Di), and the absolute value of each of said second multiplier (Mi).

[Claim 3] The data with which said multiplier extract comparison means outputs non-zero are the video-signal processor according to claim 1 or 2 which does not perform said comparison processing after predetermined number *****, but is characterized by said switching means making said second operation means supply

said block data from said multiplier extract comparison means.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the video-signal processor using a compression processing technique.

[0002]

[Description of the Prior Art] Drawing 4 is the block diagram showing some conventional image compression processors (for example, compression equipment using JPEG or MPEG etc.). If an image is inputted in drawing 4, an input image will be divided into a 8x8-pixel block, and will be inputted into a frequency-conversion means 201 to perform DCT (Discrete Cosine Transform, discrete cosine transform) etc. In the frequency-conversion means 201, a pixel is rearranged according to a frequency component.

[0003] In the multiplier extract means 202, 1 pixel (DCT multiplier) of rearranged blocks is taken out at a time for every corresponding pixel with reference to a 8x8 multiplier table called the quantization matrix table memorized by the storage means 203. In a division / rounding-off means 204, the taken-out pixel is rounded off, after a division is done by the multiplier of the quantization matrix table which corresponds an input pixel. This actuation is performed to all the pixels in input block, and the output block after quantization is formed in the quantization multiplier creation means 205.

[0004] It means that the amount of data is small compared with the block of the subject-copy image by which an output block is inputted into the frequency conversion means 201, and compression processing was performed. The above actuation is performed to all input images.

[0005] The above-mentioned actuation is explained to drawing 5 based on block data. The block shown in the left of drawing 5 is block data (DCT multiplier) after carrying out frequency conversion of the 8x8-pixel block with the frequency conversion means 201. The DCT multiplier is rearranged into the high frequency component from the low-frequency component.

[0006] With the multiplier extract means 202, the multiplier to which a 8x8-pixel multiplier table called the quantization matrix table memorized by each DCT multiplier and the storage means 203 of a block corresponds is taken out, respectively. In a division / rounding-off means 204, this extracted DCT multiplier is rounded off after a division by the multiplier of a corresponding quantization matrix table. 8x8 pixels of these actuation are performed about all.

[0007] With the quantization multiplier creation means 205, the block after 8x8-pixel quantization is created for each data. The block completed as a result is a

block shown in the right of drawing 5 . The block after quantization has the description that the multiplier of non-zero generally appears in a low-frequency component side, and the multiplier of zero appears in a high frequency component side.

[0008]

[Problem(s) to be Solved by the Invention] When doing a division by the microprocessor generally, the amount of operations is in many or the inclination to cut compared with other operations (degree multiplication, comparison operation, etc.). For example, to being processed by executing one divide operation with 30 clocks, the instruction of those other than a division has become as processing with one clock is possible. There was a trouble that will become the immense amount of operations if the division of a pixel unit and rounding off are performed to all input pixels like the above-mentioned conventional example, and it became difficult to carry out high-speed processing.

[0009] Then, this invention aims at offering the video-signal processor which was made in view of the above-mentioned trouble, and becomes a high speed accelerable [the whole compression processing] by carrying out a quantization operation.

[0010]

[Means for Solving the Problem] the frequency-conversion means which carries out frequency conversion of the blocked image, and every for quantization -- with the first quantization table storage means which memorizes the first multiplier (mi) as first quantization matrix table said first multiplier (mi) -- real number twice -- every carried out -- with the second quantization table storage means which memorizes the second multiplier (Mi) as second quantization matrix table Extract said second multiplier (Mi) corresponding to said block data (Di) from the block data (Di) outputted from said frequency conversion means, and said second quantization table storage means, and both absolute value is compared. A multiplier extract comparison means to output said block data (Di), and the first operation means which substitutes and outputs zero instead of said block data (Di) from said multiplier extract comparison means, The second operation means which outputs the value which did the division of said block data (Di) from said multiplier extract comparison means, and rounded it off by said first multiplier (mi) corresponding to said block data (Di) from said first quantization table storage means, When it is under the absolute value of said second multiplier (Mi) to which the absolute value of said block data (Di) is equivalent as a result of the comparison of said multiplier extract comparison means ($|Di| < |Mi|$), When it is more than the absolute value of said second multiplier (Mi) to which said multiplier extract comparison means and said first operation means are connected to, and the absolute value of said block data (Di) is equivalent ($|Di| \geq |Mi|$), The switching means which connects said multiplier extract comparison means and said second operation means, It is characterized by providing the quantization multiplier creation means which rearranges as a block the multiplier after the quantization obtained with the output of the first [said] operation means connected by said switching means, or said second operation means.

[0011]

[Embodiment of the Invention] It is the block diagram showing the gestalt of operation of drawing 1 and the video-signal processor concerning *****. Drawing 2 is a flow chart which shows actuation. The gestalt of operation of this invention is explained using drawing 1 and drawing 2 . For example, frequency conversion,

such as DCT (Discrete Cosine Transform, discrete cosine transform) data processing, is performed to a block as what divided the subject-copy image for one screen (720x480 pixels) into the block which is 8x8 pixels is inputted into the frequency conversion means 101 (ST201) (ST202). From a low-frequency component, 8x8-pixel block data is rearranged by frequency conversion processing to a high frequency component, and is outputted.

[0012] The block data (it is hereafter called a DCT multiplier) by which frequency conversion was carried out is sent to the multiplier extract comparison means 103 (ST203). the multiplier of the quantization matrix table used when the multiplier extract comparison means 103 originally quantized further -- real number twice -- the multiplier which corresponds, respectively is extracted from the first storage means 102 which has memorized what was carried out (ST204), and both size relation is compared (ST205).

[0013] When quantizing generally, that the output after the quantization is set to 0 is the case where the absolute value becomes smaller than 0.5, as a result of doing the division of the DCT multiplier and rounding it off by the multiplier to which a quantization matrix table each corresponds. That is, it is $|Di|/|mi| < 0.5$, when a DCT multiplier is set to Di (here, it is $i = 1$ thru/or 64) and is made into the multiplier mi of an original corresponding quantization matrix table (here, it is $i = 1$ thru/or 64)..... (1)

A quantization output becomes zero a ** case.

[0014] ~~It is $|Di| < |mi| \times 0.5$ when formula deformation of the formula (1) is carried out..... (2)~~

~~A quantization output serves as zero a ** case.~~

[0015] Therefore, the first storage means 102 is made to memorize what doubled each multiplier of the conventional quantization matrix table 0.5 as a multiplier Mi (here, referred to as $i = 1$ thru/or 64) of a new quantization matrix table.

[0016] By comparing the absolute value of the DCT multiplier component Di with the absolute value of the new quantization matrix multiplier Mi , it becomes clear whether the output after quantization becomes zero and whether it becomes non-zero.

[0017] Namely, ~~it is quantization output = 0 at the time of $|Di| < |Mi|$ (3)~~

~~It is quantization output != 0 at the time of $|Di| \geq |Mi|$ (4)~~

It becomes.

[0018] When the multiplier extract comparison means 103 performs this comparison and it becomes a formula (3), a switch 105 is made into the first operation means 106 side with the switch-off substitute means 104, and a switch 105 is made into the second operation means 107 side when becoming a formula (4).

[0019] ~~First operation means 106 It sets, and zero are substituted and outputted as a quantization output to the DCT multiplier Di , without performing no four operations (four operations) (ST206).~~ In the second operation means 107, after doing the division of the DCT multiplier Di by the multiplier mi of a quantization matrix table with reference to the multiplier mi of the original quantization matrix table which the second storage means 108 is made to memorize, the multiplier after quantization is obtained by performing rounding off (ST207).

[0020] The multiplier after the quantization obtained with the first operation means 106 and the second operation means 107 is rearranged into the quantization multiplier creation means 109 one by one at delivery and a 8x8-pixel block, and the data after quantization are obtained (ST209).

[0021] It is If ($|Di| < |Mi|$) when the above actuation is described in the style of programming language. then Quantization output = 0 else Quantization output = it becomes the usual quantization operation. It is better for operation effectiveness to perform the usual quantization operation which performs rounding off after a division, when executing the substitution instruction of zero previously and not performing zero substitution after a multiplier comparison. That is, the scanning approach the establishment to which the multiplier after quantization serves as zero compares one by one by extracting the DCT multiplier of a high side has good operation effectiveness. The general multiplier block after quantization is shown in drawing 3.

[0022] The multiplier of zero has possibility higher than this block of generally appearing in the high frequency component side of a DCT multiplier block. Therefore, the multiplier extract comparison means 103 extracts data from the DCT multiplier by the side of a high frequency component to the DCT multiplier by the side of a low-frequency component.

[0023] Furthermore, if the usual quantization operation which performs rounding off after a division is performed after comparing when it scans from the RF side of a DCT multiplier block to the low frequency side and non-zero come to come out, two, a compare instruction and a quantization operation, will be performed and operation effectiveness will fall.

[0024] When the data after a compare instruction and quantization assume that it is shown in drawing 2, it may be set to b11 ->0 ->b10 ->b9 ->b8 ->b7 ->b6 ->b5 ->b4 ->b3 ->b2 ->b1 depending on a scanning approach. That is, also once the multiplier of non-zero comes out depending on a scanning approach, the multiplier used as zero can come out.

[0025] Therefore, in order to gather operation effectiveness, the count of an appearance of non-zero is counted in the above-mentioned operating instructions, and the multiplier extract comparison means 103 performs the above-mentioned comparison operation until it becomes the count which the count of an appearance set up. And after reaching a predetermined number, in the multiplier extract comparison means 103, a comparison operation is not performed so that the usual quantization operation may be performed, but directions are given to the switch-off substitute means 104 from the multiplier extract comparison means 103 so that a switch 105 may be moved to the second operation means 107 position.

[0026] For example, it is If ($|Di| < |Mi|$) (~~then quantization output = 0, an else quantization output = the usual quantization operation is performed (ST206, ST207).~~) until it will scan and the multiplier after quantization will be set to b11 ->0 ->b10 ->b9, if a predetermined number is made into 3 times. The multiplier extract comparison means 103 does not compare, but performs only the usual quantization operation which performs rounding off after a division with the second operation means 107, and gathers operation effectiveness to the data after this, b8 ->b7 ->b6 ->b5 ->b4 ->b3 ->b2 ->b1 [i.e.,], (ST208 thru/or ST213).

[0027]

[Effect of the Invention] the multiplier of the quantization matrix table currently a DCT multiplier and originally used in the quantization processing currently used in image compression signal processing, such as JPEG and MPEG, -- real number twice -- improvement in the speed of processing can be attained by not performing the usual quantization operations, such as a division and rounding off, to all DCT multipliers by comparing for every component what was carried out.

[0028] Improvement in the speed can be further attained with scanning these processings toward a low frequency side from the high-frequency side of a DCT multiplier. Moreover, when it comes out more than the number that the multiplier of non-zero set up, the increase in efficiency of a quantization operation can be realized by performing only the usual quantization operation, without performing a comparison operation to the remaining DCT multiplier.

[Translation done.]